

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-194003

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

G02F 1/1345  
G02F 1/136  
G09F 9/00  
H01L 29/786  
H01L 21/336

(21)Application number : 10-374490

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.12.1998

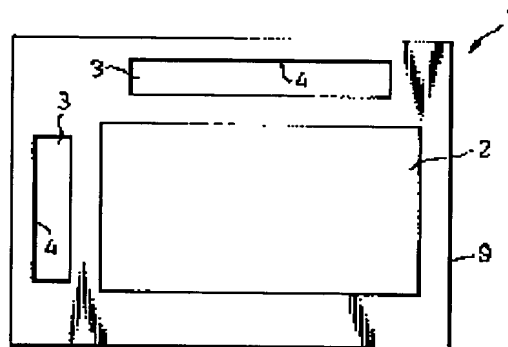
(72)Inventor : KONDO NAOTO  
DOI SEIJI  
WATABE TAKUYA

## (54) SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method of a substrate for a liquid crystal display device by which processes are simplified and manufacturing by an inexpensive manufacturing device can be possible and to provide the substrate for the liquid crystal display device manufactured by the method.

**SOLUTION:** When the substrate 1 for the liquid crystal display device containing a display section 2 and a terminal section 3 of wiring for driving the display section which is generally provided at a periphery thereof is manufactured, the terminal section 3 is formed by using a mask having a pattern forming a common opening 4 toward plural terminals. Thereby a thin film transistor substrate can be manufactured by using the inexpensive device and productivity also can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-194003  
(P2000-194003A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 9 2
	1/136	1/136	5 0 0
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	3 4 8 Z
	21/336		5 G 4 3 5
			6 1 2 D

審査請求 未請求 請求項の数20 O L (全 16 頁)

(21)出願番号 特願平10-374490

(22)出願日 平成10年12月28日(1998. 12. 28)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 近藤 直人

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 土井 誠児

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

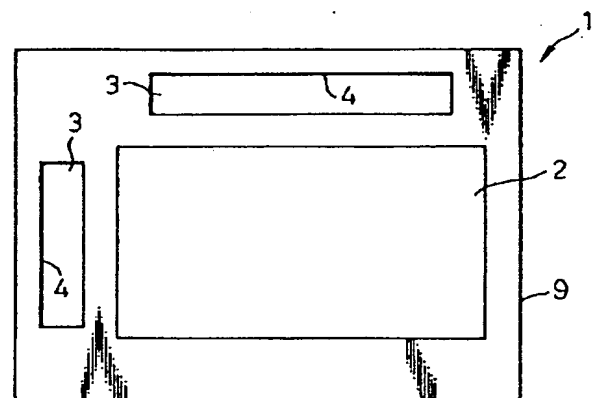
(54)【発明の名称】 液晶表示装置用基板及びその製造方法

(57)【要約】

【課題】 工程を簡略化するとともに安価な製造装置での生産を可能にする液晶表示装置用基板の製造方法と、それにより製造された液晶表示装置用基板を提供する。

【解決手段】 表示部2と、一般にその周辺に設けられた、表示部駆動用配線の端子部3を含む液晶表示装置用基板1を製造するに当たり、複数の端子に対して共通の開口4を形成するパターンを有するマスクを使用することで端子部3を形成するようにする。

図 1



- 1…LCD薄膜トランジスタ基板
- 2…表示部
- 3…端子部
- 4…開口
- 9…透明基材

## 【特許請求の範囲】

【請求項1】 表示部と、表示部駆動用配線の端子部とを含む液晶表示装置用基板の製造方法であって、複数の端子に対して共通の開口を形成するパターンを有するマスクを使用して端子部を形成する工程を含むことを特徴とする液晶表示装置用基板製造方法。

【請求項2】 前記マスクが、エッチングマスクとなる材料を所定のパターンに塗布して形成されたものである、請求項1記載の方法。

【請求項3】 前記エッチングマスクとなる材料の塗布を印刷により行う、請求項2記載の方法。

【請求項4】 前記印刷がロール塗布又はインクジェット方式の印刷である、請求項3記載の方法。

【請求項5】 前記マスクを液晶表示装置のためのカラーフィルターとして形成する、請求項2から4までのいずれか一つに記載の方法。

【請求項6】 前記マスクとして、所定の開口パターンを備えたマスク板を使用する、請求項1記載の方法。

【請求項7】 表示部と、表示部駆動用配線の端子部とを含む液晶表示装置基板であって、端子部における複数の端子に対して共通の開口が設けられていることを特徴とする液晶表示装置用基板。

【請求項8】 透明基材と、その上に直接又は他の層を介して形成した、制御電極であるゲート電極、被制御電極であるドレイン電極及びソース電極、そして画素電極と、制御電極を外部電気回路に接続するための配線及び端子、被制御電極の一方を外部電気回路に接続するための配線及び端子を含む液晶表示装置用薄膜トランジスタ基板を製造する方法であって、制御電極用の端子上の絶縁膜及び被制御電極用の端子上の絶縁膜のうちの少なくとも一方に当該端子と外部電気回路との電気的接続のための開口を形成するため、複数の端子に対して共通の開口を形成するパターンを有するマスクを使用する工程を含むことを特徴とする液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項9】 前記マスクが、エッチングマスクとなる材料を所定のパターンに塗布して形成されたものである、請求項8記載の方法。

【請求項10】 前記エッチングマスクとなる材料の塗布を印刷により行う、請求項9記載の方法。

【請求項11】 前記印刷がロール塗布又はインクジェット方式の印刷である、請求項10記載の方法。

【請求項12】 前記マスクを液晶表示装置のためのカラーフィルターとして形成する、請求項9から11までのいずれか一つに記載の方法。

【請求項13】 前記マスクとして、所定の開口パターンを備えたマスク板を使用する、請求項8記載の方法。

【請求項14】 透明基材上にゲート電極、ゲート絶縁膜、半導体層、チャネル保護膜を所定の形状に形成した後、コンタクト層を堆積し、端子開口を行った後、信号

配線を形成する、請求項8記載の方法。

【請求項15】 透明基材上にゲート電極、ゲート絶縁膜、半導体層、コンタクト層、信号配線を所定の形状に形成した後、薄膜トランジスタのチャネル部を被覆し端子部を開くパターンにエッチングマスクを塗布する、請求項8記載の方法。

【請求項16】 前記マスク板を使用する前に、開口処理する絶縁膜の全面に有機材料の膜を形成する、請求項13記載の方法。

【請求項17】 前記有機材料がレジスト材料、ポリイミド系樹脂又はアクリル系樹脂である、請求項16記載の方法。

【請求項18】 前記有機材料膜の上に前記マスク板を配置し、そのマスク孔部の有機材料を酸素系ガスでアッシング除去してからマスクエッチングを行う、請求項16記載の方法。

【請求項19】 前記マスクエッチング後に、前記有機材料をアッシング除去し又は剥離液により除去する、請求項18記載の方法。

【請求項20】 表示部と、表示部駆動用配線の端子部とを含む液晶表示装置用薄膜トランジスタ基板であり、透明基材と、その上に直接又は他の層を介して形成した、制御電極であるゲート電極、被制御電極であるドレイン電極及びソース電極、そして画素電極と、制御電極を外部電気回路に接続するための配線及び端子、被制御電極の一方を外部電気回路に接続するための配線及び端子を含み、表示部にゲート電極、ドレイン電極、ソース電極及び画素電極が位置し、そして端子部に制御電極用の端子と被制御電極用の端子が位置している液晶表示装置用薄膜トランジスタ基板であって、制御電極用の端子と外部電気回路とを接続するための開口及び被制御電極用の端子と外部電気回路とを接続するための開口のうちの少なくとも一方が、複数の端子に対して共通の開口として設けられていることを特徴とする液晶表示装置用薄膜トランジスタ基板。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート端子上の絶縁膜とドレイン端子上の絶縁膜をエッチングにより開口する工程を含む薄膜トランジスタ基板等の半導体装置の製造方法に関する。この方法は特に、透明画素電極を備えた液晶表示パネルを含めた、様々な分野の液晶表示パネルの製造方法に適用できる。

【0002】

【従来の技術】液晶表示装置（LCD）用薄膜トランジスタ基板の製造においては、配線層間の絶縁のための絶縁膜の形成や、電極と配線層とのコンタクトをとるため、あるいは配線層の外部電気回路への接続のために、化学気相成長（CVD）、露光、エッチング、現像など種々の工程が必要とされる。

【0003】従来のLCD薄膜トランジスタ基板の製造方法の一例を説明すると、まず、透明基材上に所定のパターンでゲート電極、ゲート端子及びそれらを接続するゲート配線を形成し、次いでゲート絶縁膜、動作層の非晶質シリコン膜、エッチングストッパーの膜を連続的に成膜し、エッチングストッパーを薄膜トランジスタのチャネル部にのみ残す。続いて、コンタクト層となる例えばn+型非晶質シリコン膜を成膜し、更にその上に信号配線層を形成後、信号配線層、コンタクト層及び動作層をパターンニングして、ソース電極とドレイン電極をそれらの端子とともに形成する。次に、保護膜を成膜し、これに画素電極とソース電極とのコンタクトを図るための開口と、ゲート、ソース及びドレイン用の端子部の開口とを形成するためのパターンニングを行う。各開口は、個々の電極あるいは端子用に個別のパターンで形成される。その後、画素電極層を成膜し、パターンニングして画素電極を形成する。このように、従来のLCD薄膜トランジスタ基板の製造では、ゲート層のパターンニング、エッチングストッパーのパターンニング、ソース・ドレイン電極層のパターンニング、画素電極形成前の保護膜のパターンニング、及び画素電極のパターンニング用に、5回のフォトリソグラフィ工程が行われている。

【0004】上述の方法に限らず、従来のLCD基板製造方法においては、例えば、ゲート端子上のゲート絶縁膜の開口とドレイン端子上の最終保護膜の開口にフォトリソグラフィ工程が不可欠であり、また最終保護膜の上層に透明導電膜を形成する場合に必要なソース電極と画素電極とを電気的に接続するためのコンタクトホール形成のためにも、やはりフォトリソグラフィ工程が不可欠である。そしてこれらのフォトリソグラフィ工程では、個々の電極や端子用の開口、コンタクトホール形成のために、微細パターンのマスクが使用される。

【0005】また、フォトリソグラフィ工程ではフォトレジストが使用され、これについては塗布ミスや、塗布、露光、現像時の塵芥によるパターン不良の発生が避けられず、そのためコンタクト不良や層間短絡等による製品歩留り低下の原因となっている。

【0006】

【発明が解決しようとする課題】一般に、フォトリソグラフィ工程のためには、CVD装置と並んで高価な露光装置及びエッチャー等の装置が必要である。従って、LCD薄膜トランジスタ基板に限らず、一般に半導体装置の製造において、フォトリソグラフィ工程を簡略化することは、より安価な装置での製造を図り、製品の信頼性を高める上で強く要望されていることである。

【0007】そこで、本発明は、工程を簡略化するとともに安価な製造装置での生産を可能にするLCD基板の製造方法を提供することを目的とする。また、この製造方法により製造されたLCD基板を提供することも本発

明の目的である。

【0008】

【課題を解決するための手段】本発明のLCD基板製造方法は、表示部と、一般にその周辺に設けられた、表示部駆動用配線の端子部とを含む液晶表示装置用基板（LCD基板）の製造方法であって、複数の端子に対して共通の開口を形成するパターンを有するマスクを使用することで端子部を形成する工程を含むことを特徴とする。

【0009】本発明の方法は、LCD薄膜トランジスタ基板の各電極を配線により外部の電気回路に接続するための端子部の開口を行うのに特に有益である。すなわち、一つの側面において、本発明の方法はLCD薄膜トランジスタ基板の製造に応用され、この製造方法は、透明基材と、その上に直接又は他の層を介して形成した、制御電極であるゲート電極、被制御電極であるドレイン電極及びソース電極、そして画素電極と、制御電極を外部電気回路に接続するための配線及び端子、被制御電極の一方を外部電気回路に接続するための配線及び端子を含む液晶表示装置用薄膜トランジスタ基板を製造する方法であって、制御電極用の端子上の絶縁膜及び被制御電極用の端子上の絶縁膜のうちの少なくとも一方に当該端子と外部電気回路との電気的接続のための開口を形成するため、複数の端子に対して共通の開口を形成するパターンを有するマスクを使用する工程を含むことを特徴とする。

【0010】本発明において用いるマスクには、一つだけでなく複数の開口パターンを設けることができ、それらの開口パターンにより形成される共通の開口の内部にそれぞれ複数の端子が収容される。

【0011】複数の端子に対して共通の開口を形成するパターンを有するマスクとしては、レジスト材料のようなエッチングマスクとなる材料を塗布してパターンニングしたものを使用することができ、あるいは所定パターンの窓を有するマスク板等のマスク手段を使用することができる。マスク板を使用する場合には、特に透明画素電極がなくソース電極と画素電極とを電気的に接続するためのコンタクトホールを形成する必要のない新技術のIPS(In-Plane Switching)液晶表示パネルの製造において、最適な製造方法となる。

【0012】このように、本発明によれば、共通の開口内に複数の電極用の端子が含まれるように、レジスト材料を塗布することで比較的粗いパターンのエッチングマスクを形成することが可能であり、あるいはそのような比較的粗い開口パターンを持ったマスク板を使用することが可能である。レジスト材料の塗布は、例えばパターン付きのロールを使用する印刷機、インクジェット方式の印刷機等で比較的簡単に行うことができ、通常のパターンニング操作で用いられるような露光、エッチング及び現像を必要とするフォトリソグラフィ技術に頼らずに実施可能である。また、所定の開口パターンを備えたマ

スク板は、比較的簡単な操作で繰り返して使用することができる。

【0013】また、本発明のLCD基板は、表示部と、一般にその周辺に設けられた、表示部駆動用配線の端子部とを含むLCD基板であって、端子部における複数の端子に対して共通の開口が設けられていることを特徴とする。複数の端子のための共通の開口は、一つに限らず、複数であってもよい。

【0014】本発明のLCD基板の好ましい態様の一つはLCD薄膜トランジスタ基板であり、それは、表示部と、表示部駆動用配線の端子部とを含む液晶表示装置用薄膜トランジスタ基板であり、透明基材と、その上に直接又は他の層を介して形成した、制御電極であるゲート電極、被制御電極であるドレイン電極及びソース電極、そして画素電極と、制御電極を外部電気回路に接続するための配線及び端子、被制御電極の一方を外部電気回路に接続するための配線及び端子を含み、表示部にゲート電極、ドレイン電極、ソース電極及び画素電極が位置し、そして端子部に制御電極用の端子と被制御電極用の端子が位置している液晶表示装置用薄膜トランジスタ基板であって、制御電極用の端子と外部電気回路とを接続するための開口及び被制御電極用の端子と外部電気回路とを接続するための開口のうちの少なくとも一方が、複数の端子に対して共通の開口として設けられていることを特徴とする。

【0015】

【発明の実施の形態】図1に、本発明のLCD基板の代表的なものとしてLCD薄膜トランジスタ基板1を示す。このLCD薄膜トランジスタ基板1には、ガラス板のように透明な基材9の上に、多数の薄膜トランジスタ（図示せず）により構成される表示部2と、表示部2の各薄膜トランジスタを動作させるための電極を外部の回路に電気的に接続するための端子部3が設けられている。この端子部3は、フォトリソグラフィ技術を利用する微細加工によらずに印刷といったような比較的簡便な手法により大きなパターンで形成できる開口4と、その開口内に形成されている複数の端子（図示せず）を含み、個々の端子は各薄膜トランジスタの電極に配線（図示せず）を介して個別に接続されている。

【0016】フォトリソグラフィ技術を利用する微細加工によらずに形成できる粗いパターンの開口4は、印刷技術を利用する場合、パターン形成材料を所望の開口パターンで塗布することで容易に形成可能である。パターン形成材料の印刷は、公知の様々な方法で行うことができる。例えば、パターン付きロールによる印刷や、インクジェット方式の印刷を利用可能である。複数の端子のための共通の大きなパターンで形成された開口4は、対応する開口パターンを備えたマスク板を使って形成することもでき、マスク板は、アルミニウム、表面をアルマイト加工したアルミニウム、又は耐エッチング性のあ

るその他の金属もしくは合金、あるいはセラミックや石英等の絶縁物から製作することができる。このように、本発明によれば、端子部の開口を印刷機や簡便なマスク板などを用いて形成できるので、生産性の向上が見込まれるとともに、設備費の低減も可能となる。

【0017】端子部の開口の形成工程は、薄膜トランジスタ基板製造の最後の工程としてもよく、この場合、エッチングマスクとなる層をそのまま残すことが可能であり、この層を薄膜トランジスタ基板のカラーフィルターとして用いることが可能である。この概念を図2を参照して説明すれば、薄膜トランジスタ基板の周辺に複数の端子5を含む端子部3のための開口4を形成するためのパターンを有するエッチングマスク6を、赤、緑及び青の三色の塗料を用いて形成する。図2において、このエッチングマスク6は、端子部3のための開口4を除く全面を覆って形成されており、R、G及びBで示した領域にそれぞれ赤、緑及び青のカラーフィルターとなる材料が塗布されている。このカラーフィルターは、薄膜トランジスタの各電極（図示せず）や配線8、層間絶縁膜等を含めた下層の形成を終えた基板の表面に、3色のカラーフィルター材料を所定のパターンで塗布して形成でき、その後、それをマスクとしてエッチングを行い、端子部3の開口4の形成にそのまま利用することができる。このように印刷により3色のカラーフィルターを薄膜トランジスタ基板上に形成することで、通常のように対向基板にカラーフィルターを形成する必要がなくなり、工程の簡略化、製造費の低減を実現できる。

【0018】印刷を利用する態様においては、端子部の開口は、薄膜トランジスタの信号配線の形成以前に行ってもよく、この場合、最終保護膜を省略してもよい。あるいは、残留しても差し支えない透明材料を塗布して形成した層間絶縁膜を、端子部の開口形成用のマスクとして使用してもよい。

【0019】複数の端子のための共通の開口を形成するには、対応する比較的粗い開口パターンを備えたマスク板等のマスク手段を利用してもよい。マスク板の一例を図3に示す。この図のマスク板11は、例えば表面をアルマイト加工したアルミニウム製の板12に、図1で説明した端子部3の開口4に対応する開口パターン13を備えたものである。

【0020】次に、本発明を適用できるLCD薄膜トランジスタ基板における薄膜トランジスタ（TFT）の構造の例を、図面を参照して説明する。図4は、逆スタガ型非晶質シリコン・TFTチャネルエッチタイプのTFTの構造を示しており、この図において、201は透明ガラス基材、202はゲート電極、203はSiN又はSiO<sub>2</sub>のゲート絶縁膜、204は非晶質シリコンの動作層、205はn+型非晶質シリコンのオーミック層、206はソース電極、207はドレイン電極、208はITOの透明画素電極、209は最終保護膜である。

【0021】図5は、逆スタガ型非晶質シリコン・TFTチャネルプロテクトタイプのTFT構造を示しており、この図において、201から209までは図4に示したものと同一のものであり、210はSiN等のチャネル保護膜である。

【0022】図6は、逆スタガ型非晶質シリコン・TFTチャネルエッチタイプのIPS液晶表示パネルにおけるTFT構造を示しており、この図において、201から205までと、207は図4に示したものと同一のものであり、ソース電極216と画素電極218は一体に作られており、ゲート絶縁膜203上の画素電極218に対向する位置に対向電極219が形成されている。

【0023】図7は、逆スタガ型非晶質シリコン・TFTチャネルプロテクトタイプのIPS液晶表示パネルにおけるTFT構造を示しており、この図において、201から205までと、207と、210は図5に示したものと同一のものであり、ソース電極216、画素電極218及び対向電極219は図6に示したものと同一である。

【0024】これらのTFT基板において、ゲート電極と、これにゲート配線を介して接続する外部回路接続用のゲート端子は、例えばアルミニウム等の導電材料から形成され、ゲート配線は個々の電極とそのための端子を接続するように、相互に平行な複数本のゲートバスラインとして形成される。ゲートバスライン、ゲート電極及びゲート端子を覆うゲート絶縁膜は、例えばシリコン酸化物又はシリコン窒化物から作られる。動作層は、一般に非晶質シリコン膜からなり、コンタクト層（オーミック層）は、一般に不純物ドーパされた非晶質シリコン膜からなる。ドレイン電極とそのための配線及び端子と、ソース電極は、一般に単一金属材料の膜又は複数の金属材料の積層膜から形成される。ドレイン配線は、一般にゲートバスラインに直行する、相互に平行な複数本のドレインバスラインとして形成される。IPSタイプのTFT基板における対向電極も、一般に単一金属材料の膜又は複数の金属材料の積層膜から形成される。最終保護膜は窒化シリコン又は酸化シリコン製でよく、それらの膜厚は100～600nmでよい。本発明の方法は、端子部の開口用のマスクとしてエッチングマスクとなる材料を塗布する場合にも、マスク板等のマスク手段を使用する場合にも、図4～7に示した最終保護膜209のない構造に対して同様に適用可能である。

【0025】本発明によるLCD薄膜トランジスタ基板の製造を具体的に説明する前に、図8と図9を参照して、従来技術による薄膜トランジスタ基板の製造方法の一例を説明する。図8（a）に示したように、ガラス基材30上に例えばアルミニウム材料のゲート電極31とゲート端子32をフォトリソグラフィ手法により形成する。ゲート電極31とゲート端子32は、同じくアルミニウム材料の図示されていない配線により接続されている。次に、図8（b）に示したように、ゲート絶縁膜

33、動作層の非晶質シリコン膜34を形成し、その上に更にエッチングストッパーを形成するための膜を形成後、この膜をパターニングして薄膜トランジスタのチャネル部のみにエッチングストッパー35を残す。次いで、図8（c）に示したように、コンタクト層となるn+型非晶質シリコン膜36と信号配線層37を形成し、信号配線層37、コンタクト層36、動作層34をパターニングして、ソース電極38とドレイン電極39を形成するとともに、ゲート電極用の配線ライン40を形成する。このとき、ゲート配線ライン40の信号配線層37の下に、コンタクト層36と動作層34も残留する。続いて、図9（a）に示したように、保護膜41を成膜後パターニングして、この後で形成する画素電極とソース電極39とのコンタクトのための開口42と、ドレイン端子接続用の開口43、43'を形成する。次に、画素電極層を成膜し、パターニングして、図9（b）に示したように画素電極44を形成するとともに、ゲート端子の配線45を形成する。この製造方法では、ゲート層のパターニング、エッチングストッパーのパターニング、ソース・ドレイン電極層のパターニング、画素電極形成前の保護膜のパターニング、及び画素電極のパターニングのために、5回のフォトリソグラフィ工程が行われている。

【0026】次に、本発明の一つの態様による薄膜トランジスタ基板の製造を説明する。図10（a）は、透明ガラス基材50上にゲート電極51とゲート端子52を所望のパターンに形成した後、ゲート絶縁膜53、動作層54、エッチングストッパー層を連続的に成膜し、その後フォトリソグラフィ工程によりエッチングストッパー層をパターニングしてエッチングストッパー55を薄膜トランジスタのチャネル部にのみ残してから、コンタクト層となるn+型非晶質シリコン膜56を堆積したところを示している。ここまでの工程は、図8を参照して説明した通常的手法により実施可能であり、ゲート電極形成とエッチングストッパー加工の二回のフォトリソグラフィ工程を行っている。ゲート電極51及びゲート端子52の形成には、スパッタ法によりおよそ120nmのアルミニウムを堆積後、ウェットエッチングを行った（ゲート層には、アルミニウム膜以外に、Al/Ti積層膜やAl合金膜も使用することができる）。ゲート絶縁膜（SiN）、動作層（非晶質シリコン）、エッチングストッパー層（SiN）は、化学気相成長（CVD）法によりそれぞれ450nm、35nm、150nm堆積し、エッチングストッパーの加工はフッ素系ガスを用いたドライエッチング法により行った。

【0027】続いて、図10（b）に示したように、単一の開口58内に複数のゲート端子52が含まれるような長方形の開口パターン（図1及び図2の端子部3の開口パターンに相当するもの）を持つレジスト層57を、対応するパターンを有するロールを用いてコンタクト層5

6の上に塗布した。続いて、フッ素系のガスを用いたドライエッチング法により、開口部のコンタクト層56、動作層54及びゲート絶縁膜53をエッチングし、ゲート端子部の開口を行い、次にレジスト層57を剥離してから、図10(c)に示したように、後に信号配線となるクロム膜59(200nm)をスパッタ法により堆積させた。

【0028】こうしてコンタクト層56の形成後に端子開口を行うことにより、図8と9で説明した従来の方法の場合と異なり、ゲート端子52はコンタクト層56を介さず信号配線と確実なコンタクトを形成し、そのため静電気によるゲート絶縁膜の破壊にも強い構造が得られる。また、端子部の開口を印刷パターンで行うことにより、露光工程は省略することができる。

【0029】次に、通常的光リソグラフィ手法を適用して、図11(a)に示したように、ウェットエッチングによりクロム膜59をパターニングしてソース電極61とドレイン電極62を形成し、続いてフッ素系ガスでのドライエッチングにより不要なコンタクト層56と動作層54も除去した。同時に、端子部においてもゲート端子52を信号配線層59で完全に覆うようにパターニングを行った。

【0030】このように、本発明の一つの態様においては、透明基材上にゲート電極、ゲート絶縁膜、半導体層、チャネル保護膜を所定の形状に形成した後、コンタクト層を堆積し、端子開口を行った後、信号配線を形成することができる。

【0031】このような構造にすることで、ゲート端子(ゲート電極)には、薄膜トランジスタ基板において画素電極材料として一般に用いられる酸化スズインジウム(ITO)とのコンタクト形成が困難なアルミニウム又はアルミニウム合金を用いることが可能となる。

【0032】次いで、画素電極となるITO膜(100nm)を形成後、通常のように光リソグラフィ手法によりパターニングして、図11(b)に示したように画素電極63を形成した。このとき、ドレイン端子上のクロム膜59を覆ってITO膜63'を残しているが、これは主としてドレイン端子用の配線クロム膜59の保護のためである。

【0033】このように、本発明に従えば、4回の光リソグラフィ用露光工程(ゲート電極形成、エッチングストッパー加工、ソース・ドレイン電極形成、及び画素電極形成)で薄膜トランジスタ基板を製造することができた。この露光工程の回数は先に説明した従来の方法によるよりも1回少なくなっている。

【0034】また、端子部の開口工程を薄膜トランジスタの信号配線の形成工程以前に行うことで、最終保護膜を省略して薄膜トランジスタ基板を製造することができた。

【0035】本発明のもう一つの態様を、図12と図1

3を参照して説明する。図12(a)は、透明ガラス基材70上にゲート電極71とゲート端子72を所望のパターンに形成後、ゲート絶縁膜73、動作層74、コンタクト層75を連続的に成膜し、その後光リソグラフィ工程によりコンタクト層75と動作層74をトランジスタ領域にのみ残したところ(アイランド化)を示している。ゲート電極71及びゲート端子72の形成には、スパッタ法によりおよそ120nmのアルミニウムを堆積させてから、ウェットエッチングを行った。ゲート絶縁膜(SiN)73、動作層(非晶質シリコン)74、コンタクト層(n+型非晶質シリコン)75は、CVD法によりそれぞれ450nm、250nm、50nm堆積し、アイランド化はフッ素系ガスを用いたドライエッチング法により行った。

【0036】次に、図12(b)に示したように、後に信号配線となるクロム膜76(200nm)をスパッタ法で堆積してパターニングした。

【0037】続いて、ITO膜を堆積してからパターニングして、図12(c)に示したように画素電極77を形成し、そして図13(a)に示したように、パターニングした画素電極77をエッチングマスクとして信号配線のクロム膜76をエッチングして、ソース電極81とドレイン電極82の分離を行った。クロム膜76のエッチングはウェットエッチングで、コンタクト層(n+型非晶質シリコン)75のエッチングはフッ素系ガスによるドライエッチング法で行った。

【0038】ここまでの工程は、通常的手法により実施することができ、ゲート電極形成、アイランド化、信号配線形成、そして画素電極形成とソース・ドレイン電極の分離のために4回の光リソグラフィ工程を経ている。

【0039】次に、図13(b)に示したように、薄膜トランジスタのチャネル部を覆い、且つ単一の長方形の開口パターン85の内部に複数の端子72を含むようなレジスト層84を、ノボラック樹脂を主剤とするレジスト材料を先の例と同様にロール塗布して形成した。続いて、レジスト層84をエッチングマスクとしてゲート絶縁膜73のドライエッチングを行い、図13(c)に示したように、底部に露出されたゲート端子72のある開口86を形成した。

【0040】このように、本発明のもう一つの態様においては、透明基材上にゲート電極、ゲート絶縁膜、半導体層、コンタクト層、信号配線を所定の形状に形成した後、薄膜トランジスタのチャネル部を被覆し端子部を開口するパターンにエッチングマスクを塗布することができる。

【0041】この例は、チャネルエッチタイプの薄膜トランジスタの製造を示しており、このタイプの薄膜トランジスタはチャネル直上部が開口されるため保護膜が必要となるが、開口86の形成後にレジスト層84を剥離

せずに残し、保護膜として機能させることができる。よってこの場合も、4回の露光工程で薄膜トランジスタ基板を製造できた。また、場合によっては、図2を参照して既に説明したように、カラーフィルター用の三色の材料をカラーフィルター及び端子開口用のパターンの層として印刷し、この層をマスクに端子部の開口を行った後に、カラーフィルターとしてそのまま残しておくこともできる。

【0042】本発明の更にもう一つの態様を説明する。まず、透明なガラス基材を用意し、PVD法によりこの基材上にゲート層となるCr膜を約150nmの厚さに形成した。次に、Cr膜上に所定のゲート配線、電極及び端子のパターンにレジスト膜（マスク1枚目）を形成した。そしてこのレジスト膜をマスクとしてCr膜をCrエッチャントでエッチングすることにより、ゲート配線、電極及び端子を形成し、その後レジスト膜を除去した。次に、プラズマCVD法により、ガラス基材のゲート配線、電極及び端子を形成した面全体に窒化シリコン（SiN）からなるゲート絶縁膜を約350nmの厚さに、またTFTの動作領域となる非晶質シリコン（a-Si）膜を約30nmの厚さに、更に窒化シリコンからなるチャネル保護膜を約120nmの厚さに連続して順次形成した。次いで、チャネル保護膜上に所定の自己整合パターンにレジスト膜（マスク2枚目）を形成し、背面露光法によりTFTの動作領域でチャネル保護領域となるセルフアライン（SA）パターンを形成した。そして、このレジスト膜をマスクとしてチャネル保護膜をエッチングすることにより動作領域上のチャネル保護領域を形成後、レジスト膜を除去した。

【0043】ここまでの工程により得られた処理基板を図14（a）に示す。この図において、90はガラス基材、91はゲート電極、92はゲート端子、93はゲート絶縁膜、94は動作層の非晶質シリコン膜、95はチャネル保護領域を表しており、ゲート電極91及びゲート端子92とともに形成したゲート配線は図示されていない。また、ここまでの工程は、先に図8を参照して説明した通常の手法で実施した。

【0044】次に、図14（b）に示したように、プラズマCVD法によりTFTのオーミック層となるn+型非晶質シリコン膜96を約30nmの厚さに形成し、引き続きPVD法によりTi膜97（20nm）、Al膜98（75nm）及びTi膜99（80nm）を連続して形成した。

【0045】続いて、最上層のTi上に所定のドレイン配線、電極及び端子と、ソース電極のパターンに、レジスト膜（マスク3枚目）（図示せず）を形成した。このレジスト膜をマスクとして、図14（c）に示したように、Ti膜99、Al膜98、Ti膜97、n+型a-Si膜96及びa-Si膜94の積層膜をドライエッチングすることにより、ドレイン配線、電極及び端子と、

ソース電極と、そして動作領域を同時に形成後、レジスト膜を除去した。図14（c）には、形成したドレイン配線、電極及び端子のうちのドレイン電極100と、ソース電極101、動作領域102が示されている。

【0046】次に、これらの電極と動作領域を形成した面の全体に、PVD法によりTFTの透明画素電極となるITO膜を約70nmの厚さに形成した。そして、ITO膜上に画素電極パターンニング用にレジスト膜（マスク4枚目）（図示せず）を形成し、このレジスト膜をマスクとしてITO膜をエッチング後、レジスト膜を除去して、図15（a）に示したように画素電極103を形成した。この図の左側には、先の工程で形成したドレイン端子104も示されており、この端子104は図14（c）を参照して説明したように3層構造の積層体として形成されているが、ここでは簡潔にするためその積層構造は示していない。

【0047】次に、図15（b）に示したように、画素電極103を形成した面全体に最終保護膜としてプラズマCVD法により窒化シリコン膜105を約330nmの厚さに形成してから、エッチングチャンバー内に設置されたゲート・ドレイン両端子パターン状のマスク板（図示せず）を使用して、ゲート端子92上のゲート絶縁膜93と最終保護膜105、及びドレイン端子104上の最終保護膜105をマスクエッチングすることにより、ゲート端子92とドレイン端子104のコンタクトホール106、107を開口した。ここでのエッチングには、SF<sub>6</sub>（200sccm）とO<sub>2</sub>（200sccm）の混合ガスによるドライエッチング（反応性イオンエッチング（RIE））を使用した。

【0048】このように、ここで説明した例では、4枚の微細加工用のマスクと、それよりもずっと粗大な開口パターンを持つ大型パターン加工用のマスク板1枚を用いて、LCD薄膜トランジスタ基板を製造することができた。

【0049】この例においてゲート端子とドレイン端子用の開口に用いたエッチングチャンバー内に設置のマスク板を図16の上面図と図17の側面図に示す。表面をアルマイト加工した厚さ20mm（マスク板の厚さについては5～30mmが適当である）のマスク板301は、チャンバー壁300で囲まれたエッチングチャンバー内にあり、被処理基板302の上方に配置されている。また、マスク板301にはゲート端子用の開口パターン303とドレイン端子用の開口パターン304が、それぞれ細長い長方形の形状に形成されている。図17の断面図においてより明らかなように、マスク板301はクランプ306の上に固定されており、このクランプ306はクランプ軸307に連結されていて、それにより上下方向に移動可能になっている。待機状態では、マスク板301は上部電極（シャワーヘッド）310に接近してチャンバー内の上方に位置し、端子部の開口のた



めに被処理基板302を下部電極311の上に配置後に、クランプ軸307により駆動されて下方へ移動し、被処理基板302上に載置される。このようにマスク板301が被処理基板302上に位置しているところを図18に示す。この状態で、上部及び下部電極に電圧を印加し、反応混合ガスをチャンバー内に流してドライエッチングを行う。チャンバー外に突き出しているクランプ軸307の下部にはおもり315を固定しておき、その荷重によりマスク板301と被処理基板302との密着性を向上させることもできる。

【0050】なお、このようにマスクエッチングにおいて反応性イオンエッチング(RIE)を使用した場合、SiN膜のマスクの端部からのエッチングシフト量(潜り込み)はおおよそ0~3mm程度である。シフト量をもっと抑えることが求められる場合には、最終保護膜上の全面に有機材料の膜をおおよそ20~2000nm、より好ましくは100~1500nmの厚さに形成しておき、マスク板を利用してマスク孔部の有機材料膜をマスクアッシングしてからSiN膜をマスクエッチングすればよい。有機材料としては、ポリイミド系樹脂あるいはアクリル系樹脂等の有機樹脂を使用することができ、半導体装置の製造で一般に用いられるレジスト材料を利用するのが好ましい。マスク孔部の有機樹脂膜のアッシングは酸素系ガスを使用して行うのが好ましく、そのため酸素系ガスでのアッシングが可能な材料を選ぶのが好ましい。最終保護膜上の有機樹脂は、マスクエッチングによる最終保護膜のパターン開口後にマスク板を取り外してから、アッシングにより除去してもよく、あるいは有機樹脂を溶解除去するのに有効な剥離液を使って除去してもよい。

【0051】次に、本発明の更に別の態様を説明する。上述の例と同じように、まず透明なガラス基材を用意し、PVD法によりこの基材上にゲート層となるCr膜を約150nmの厚さに形成し、続いてCr膜上に所定のゲート配線、電極及び端子のパターンにレジスト膜(マスク1枚目)を形成した。このレジスト膜をマスクとしてCr膜をエッチングすることにより、ゲート配線、電極及び端子を形成し、その後レジスト膜を除去した。次に、プラズマCVD法により、ガラス基材のゲート配線、電極及び端子を形成した面全体にSiNからなるゲート絶縁膜を約350nmの厚さに、またTFTの動作領域となるa-Si膜を約30nmの厚さに、更にSiNからなるチャネル保護膜を約120nmの厚さに連続して順次堆積した。次いで、チャネル保護膜上に所定の自己整合パターンにレジスト膜(マスク2枚目)を形成し、背面露光法によりTFTの動作領域でチャネル保護領域となるセルフアライン(SA)パターンを形成した。そして、このレジスト膜をマスクとしてチャネル保護膜をエッチングすることにより動作領域上のチャネル保護領域を形成後、レジスト膜を除去した。

【0052】ここまでの工程により得られた処理基板を図19(a)に示す。この図において、110はガラス基材、111はゲート電極、112はゲート端子、113はゲート絶縁膜、114は動作層の非品質シリコン膜、115はチャネル保護領域を表している。ゲート電極111及びゲート端子112と一緒にパターンニングしたゲート配線は、この図には示されていない。ここまでの工程は、先に図3を参照して説明した通常の手法で実施した。

【0053】次に、図19(b)に示したように、プラズマCVD法によりTFTのオーミック層となるn型a-Si膜116を約30nmの厚さに形成し、引き続きPVD法によりTi膜117(20nm)、Al膜118(75nm)及びTi膜119(80nm)を連続して形成した。この図においては、この後の工程で対向電極を形成する領域(ゲート電極111の右側の領域)を示すため、図19(a)に含まれていたゲート電極112の領域は割愛されている。この例におけるゲート端子領域の処理(ゲート絶縁膜上に上層膜を形成し、パターンニングしてゲート端子用のコンタクトホールを開口する処理)は、図15と16を参照して先に説明した態様におけるものと同様である。

【0054】次いで、最上層のTi膜119上に所定のドレイン配線、電極及び端子と、ソース電極(IPSのための画素電極ともなる)と、そして対向電極のパターンに、レジスト膜(マスク3枚目)(図示せず)を形成した。このレジスト膜をマスクとして、図19(c)に示したように、Ti膜119、Al膜118、Ti膜117、n型a-Si膜116及びa-Si膜114の積層膜をドライエッチングして、ドレイン配線、電極及び端子と、ソース電極(画素電極)と、対向電極と、そして動作領域を同時に形成後、レジスト膜を除去した。図19(c)には、形成したドレイン配線、電極及び端子のうちのドレイン電極120と、ソース電極121、動作領域122、そして対向電極123が示されている。

【0055】次に、図20(a)に示したように、これらの電極と動作領域を形成した面の全体に、最終保護膜としてプラズマCVD法によりSiN膜125を約330nmの厚さに形成する。この図には、ゲート電極111とともに形成したゲート端子112、及びドレイン電極121とともに形成されたドレイン端子124も示されている。

【0056】続いて、エッチングチャンバー内に設置された、前の例で使用したのと同様のゲート・ドレイン両端子パターン状のマスク板を使用して、図20(b)に示したように、ゲート端子112上のゲート絶縁膜113と最終保護膜125、及びドレイン端子124上の最終保護膜125をマスクエッチングすることにより、ゲート端子112とドレイン端子124のコンタクトホ

ール126、127を開口した。ここでのエッチングには、 $\text{SF}_6$  (200 sccm) と  $\text{O}_2$  (200 sccm) の混合ガスによるドライエッチングを使用した。

【0057】このように、この例では、3枚の微細加工用のマスクと、それよりもずっと粗大な開口パターンを持つ大型パターン加工用のマスク板1枚を用いて、LCD薄膜トランジスタ基板を製造することができた。

【0058】図14と15を参照して説明した例と、図19と20を参照して説明した例では、それぞれ図5に示したチャネルプロテクトタイプのTFT基板と図7に示したチャネルプロテクト且つIPSタイプのTFT基板を製造したが、同様の方法を利用して、図4に示したチャネルエッチタイプのTFT基板、あるいは図6に示したチャネルエッチ且つIPSタイプのTFT基板を製造することも可能である。

【0059】チャネルエッチタイプのTFT基板を製造しようとする場合には、図14(a)に示したチャネル保護領域95を形成することなく、図21(a)に示したようにn+型非晶質シリコン膜96、Ti膜97、Al膜98、Ti膜99を連続して形成後、最上層のTi膜99上に所定パターンに形成したレジスト膜をマスクとしてエッチングによりパターニングし（この場合、エッチングは図示したようにa-Si層94の一部を除去するまで行ってもよい）、図21(b)に示したように動作領域（チャネル部）102の形成と同時に、ドレイン電極100とそのための配線及び端子（図示せず）、及びソース電極101を形成する。続いて、先に図15を参照して説明したように画素電極、最終保護膜を形成し、ゲート端子及びドレイン端子用の開口を行って、TFT基板を完成する。

【0060】チャネルエッチ且つIPSタイプのTFT基板を製造しようとする場合には、図21(b)で説明した工程においてドレイン電極100とソース電極101を形成すると同時に図19(c)に123で示したのと同様の対向電極を形成してから、先に図20を参照して説明したやり方を踏襲してTFT基板を製造する。

【0061】LCD薄膜トランジスタ基板を例に本発明を説明してきたが、一般的に言って本発明は、制御電極であるゲート電極用のゲート端子と被制御電極用の端子のうちの少なくとも一方のものの上の絶縁膜をエッチングにより開口する工程を含む薄膜トランジスタ基板等の半導体装置の製造に適用できることが理解されよう。

【0062】

【発明の効果】以上説明したように、本発明によれば、フォトリソグラフィ手法による微細加工に使われる微細パターンに比べて相対的に大きな開口パターンを使って、一つの共通の開口内に複数の端子が収容されるように端子部の開口作業が行えるので、この開口作業のために、所定パターンに塗布したエッチングマスクとなる材料の層や、所定の開口パターンを有するマスク手段を使

用可能である。このことから、安価な装置を使用しての薄膜トランジスタ基板の生産が可能になるだけでなく、生産性の向上にも通じる。また、マスク手段によるパターン開口を利用すれば、レジスト塗布時の塗布ミスや塵芥によるパターン不良等による歩留まり低下をなくすることも可能である。

【図面の簡単な説明】

【図1】本発明のLCD薄膜トランジスタ基板を説明する図である。

【図2】開口形成用のマスク層をカラーフィルターとして利用する態様を説明する図である。

【図3】開口パターンを有するマスク板を説明する図である。

【図4】逆スタガ型非晶質シリコン・TFTチャネルエッチタイプのTFTの構造を示す図である。

【図5】逆スタガ型非晶質シリコン・TFTチャネルプロテクトタイプのTFTの構造を示す図である。

【図6】逆スタガ型非晶質シリコン・TFTチャネルエッチタイプのIPS液晶表示パネルにおけるTFTの構造を示す図である。

【図7】逆スタガ型非晶質シリコン・TFTチャネルプロテクトタイプのIPS液晶表示パネルにおけるTFTの構造を示す図である。

【図8】従来の方法による薄膜トランジスタ基板製造の前半の工程を説明する図である。

【図9】従来の方法による薄膜トランジスタ基板製造の後半の工程を説明する図である。

【図10】本発明の第一の態様による薄膜トランジスタ基板製造の前半の工程を説明する図である。

【図11】本発明の第一の態様による薄膜トランジスタ基板製造の後半の工程を説明する図である。

【図12】本発明の第二の態様による薄膜トランジスタ基板製造の前半の工程を説明する図である。

【図13】本発明の第二の態様による薄膜トランジスタ基板製造の後半の工程を説明する図である。

【図14】本発明の第三の態様による薄膜トランジスタ基板製造の前半の工程を説明する図である。

【図15】本発明の第三の態様による薄膜トランジスタ基板製造の後半の工程を説明する図である。

【図16】エッチングチャンバ内に設置したマスク板の上面図である。

【図17】エッチングチャンバ内に設置したマスク板の側面図である。

【図18】被処理基板上に載置したマスク板を示す図である。

【図19】本発明の第四の態様による薄膜トランジスタ基板製造の前半の工程を説明する図である。

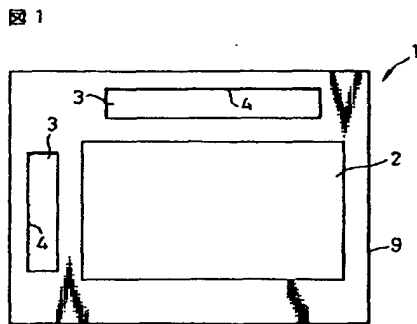
【図20】本発明の第四の態様による薄膜トランジスタ基板製造の後半の工程を説明する図である。

【図21】本発明の更に別の態様を説明する図である。

## 【符号の説明】

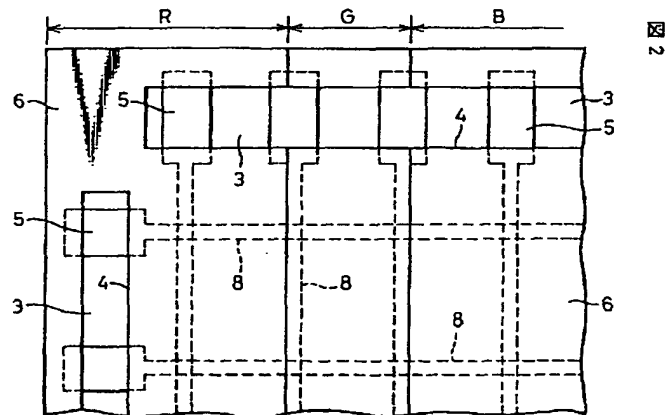
- 1…LCD薄膜トランジスタ基板  
 2…表示部  
 3…端子部  
 4…開口  
 5…端子  
 6…エッチングマスク（カラーフィルター）  
 8…配線  
 9…透明基材  
 11…マスク板  
 12…金属板  
 13…開口パターン  
 30、50、70、90、110…ガラス基板  
 31、51、71、91、111…ゲート電極  
 32、52、72、92、112…ゲート端子  
 35、55…エッチングストッパー  
 38、61、81、101、121…ソース電極  
 39、62、82、100、120…ドレイン電極  
 44、63、77、103…画素電極  
 45…ゲート端子接続配線  
 57、84…レジスト層  
 104、124…ドレイン端子  
 123…対向電極  
 105、125…最終保護膜  
 201…透明ガラス基材  
 202…ゲート電極  
 203…ゲート絶縁膜  
 204…動作層  
 205…オーミック層  
 206、216…ソース電極  
 207…ドレイン電極  
 208、218…画素電極  
 209…最終保護膜  
 210…チャネル保護膜  
 219…対向電極  
 301…マスク板  
 302…被処理基板  
 303、304…開口パターン  
 306…クランプ  
 307…クランプ軸  
 315…おもり

【図1】



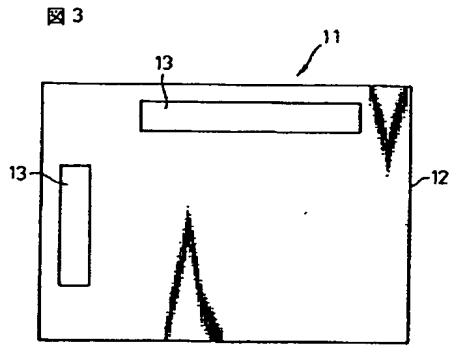
- 1…LCD薄膜トランジスタ基板  
 2…表示部  
 3…端子部  
 4…開口  
 9…透明基材

【図2】



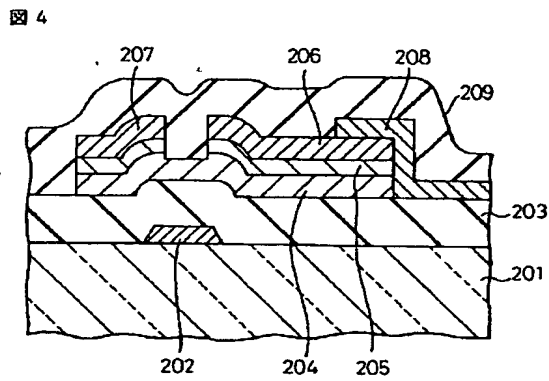
- 5…端子  
 6…エッチングマスク  
 8…配線

【図3】



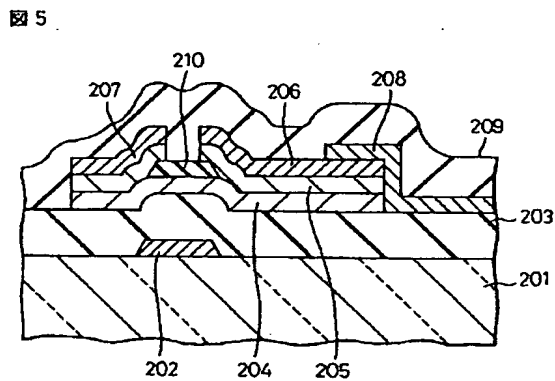
11…マスク板  
12…金属板  
13…開口パターン

【図4】



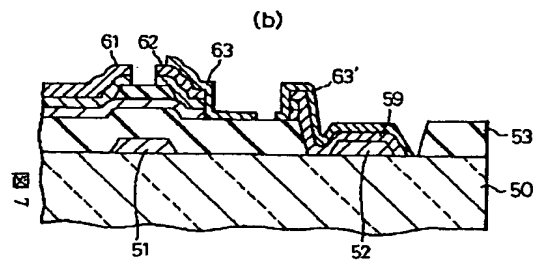
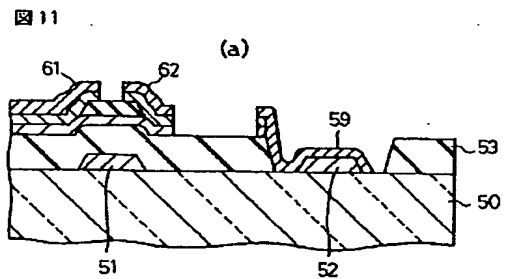
201 …透明ガラス基材  
202 …ゲート電極  
203 …ゲート絶縁膜  
204 …動作層  
205 …オーミック層  
206 …ソース電極  
207 …ドレイン電極  
208 …面素電極  
209 …最終保護膜

【図5】



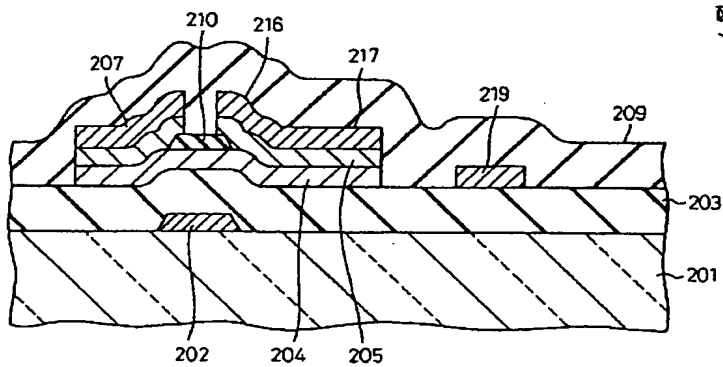
210 …チャネル保護膜

【図11】

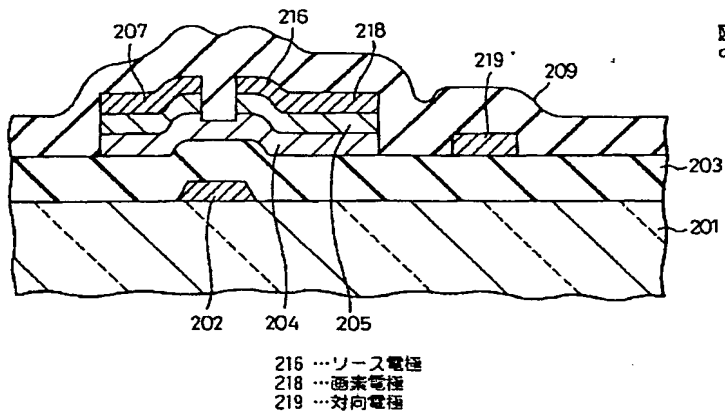


61…ソース電極  
62…ドレイン電極  
63…面素電極

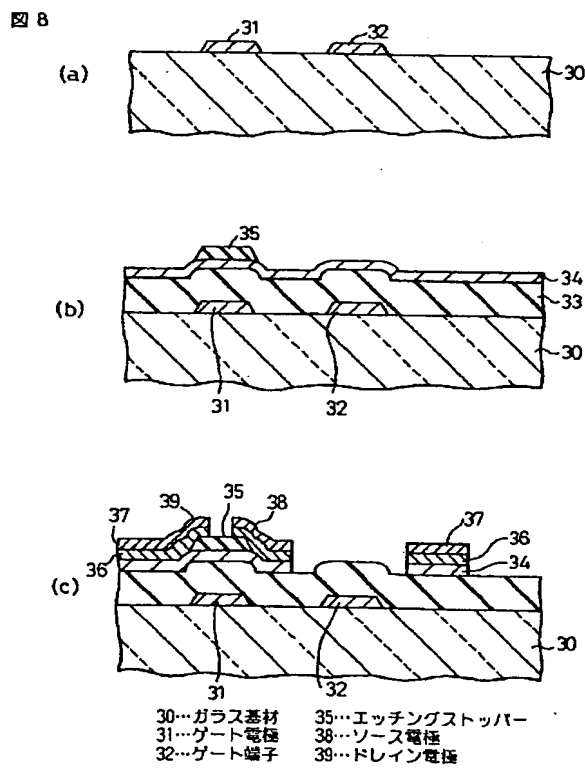
【図7】



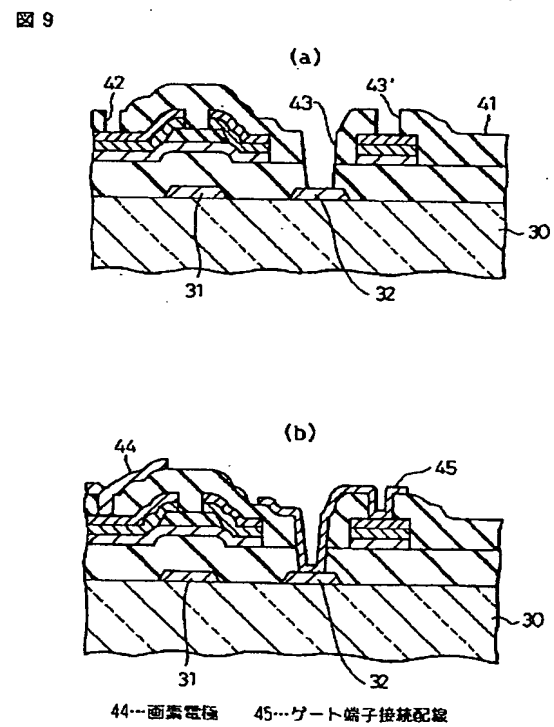
【図6】



【図8】

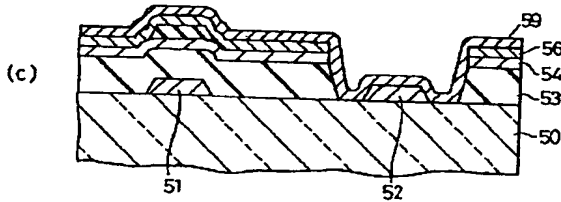
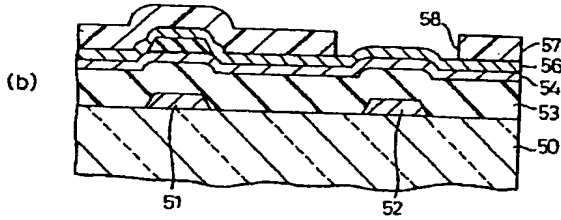
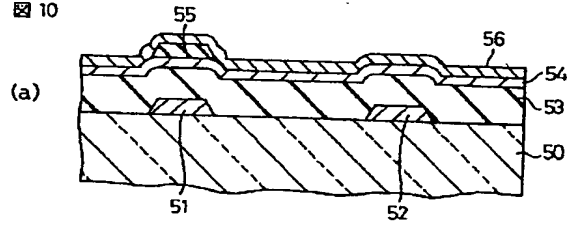


【図9】



【図10】

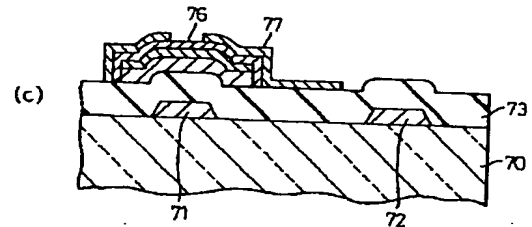
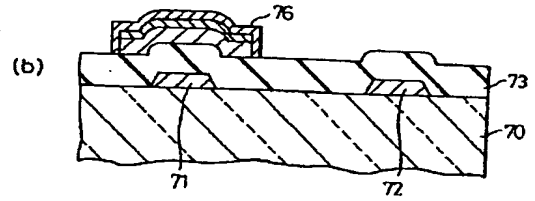
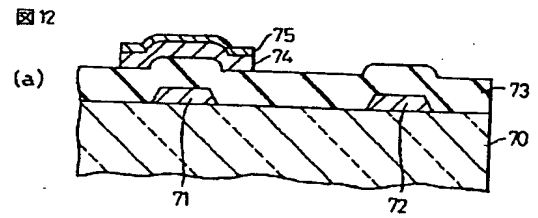
図 10



50…ガラス基材 55…エッチングストッパー  
51…ゲート電極 57…レジスト層  
52…ゲート端子 58…クロム膜

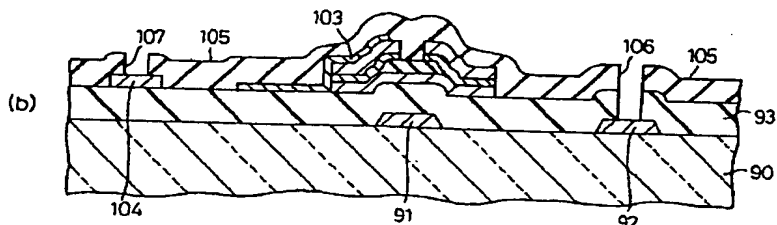
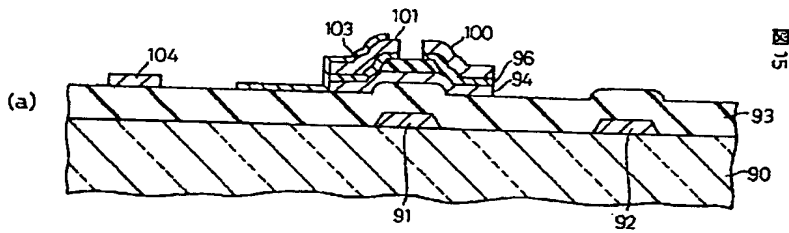
【図12】

図 12



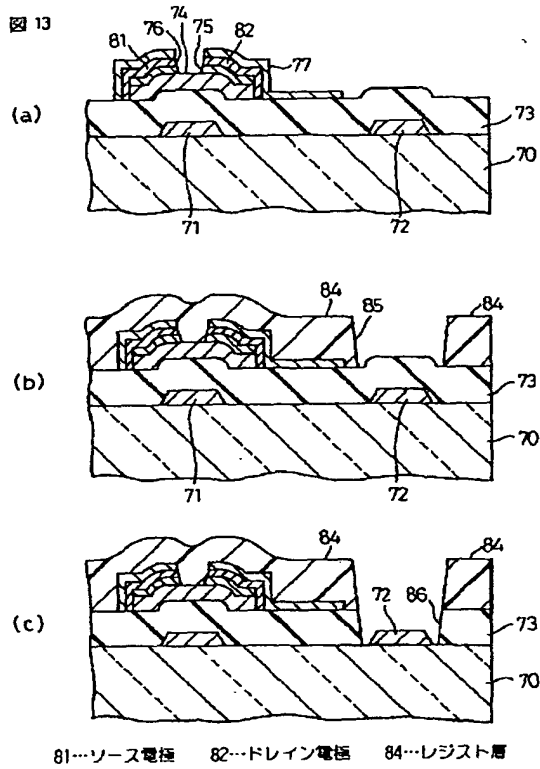
70…ガラス基材 76…クロム膜  
71…ゲート電極 77…画素電極  
72…ゲート端子

【図15】

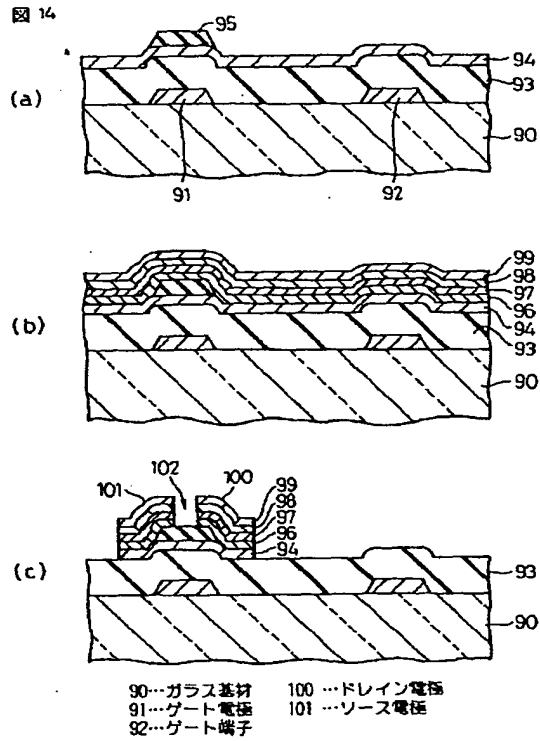


103 …画素電極 104 …ドレイン端子 105 …最終保護膜

【図13】



【図14】



【図21】

【図16】

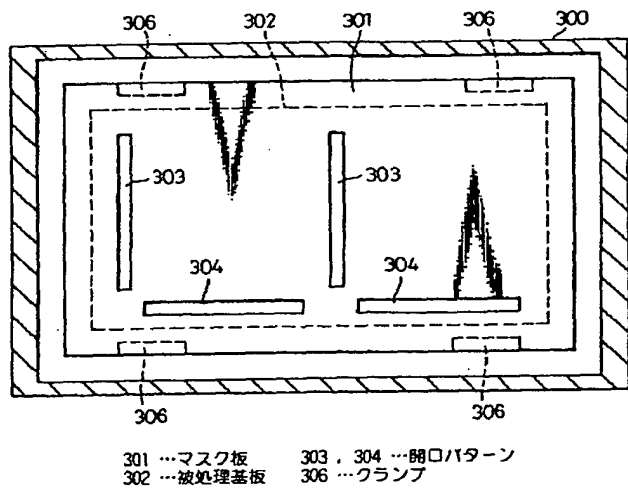
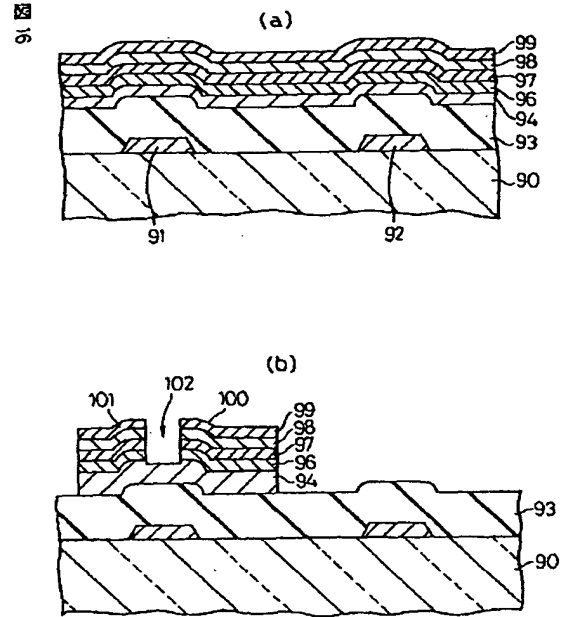
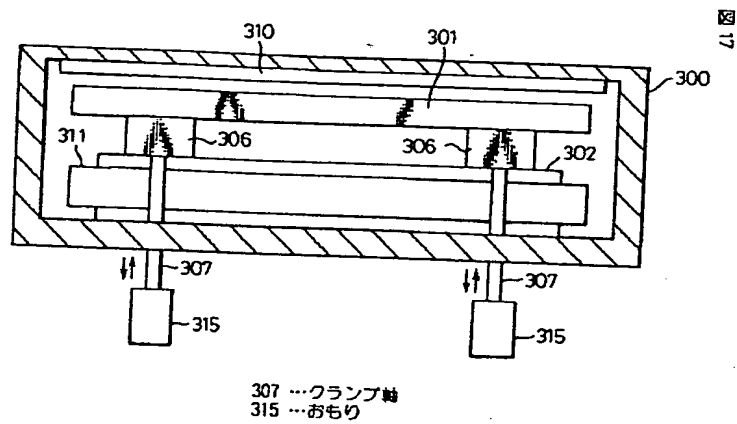


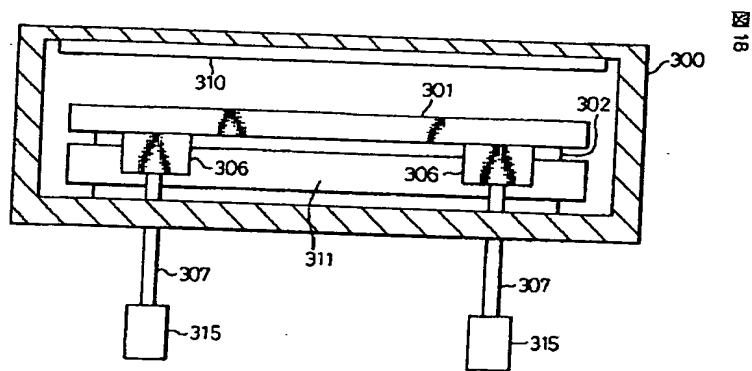
図21



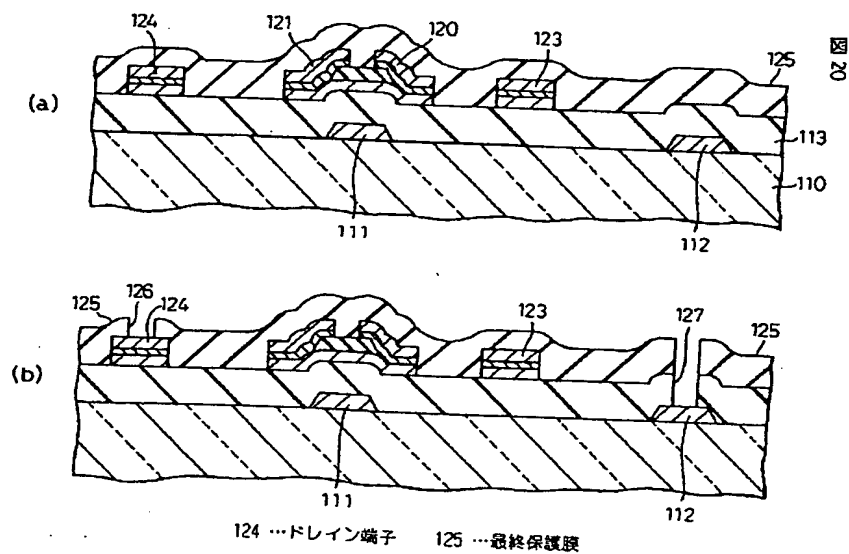
【図17】



【図18】



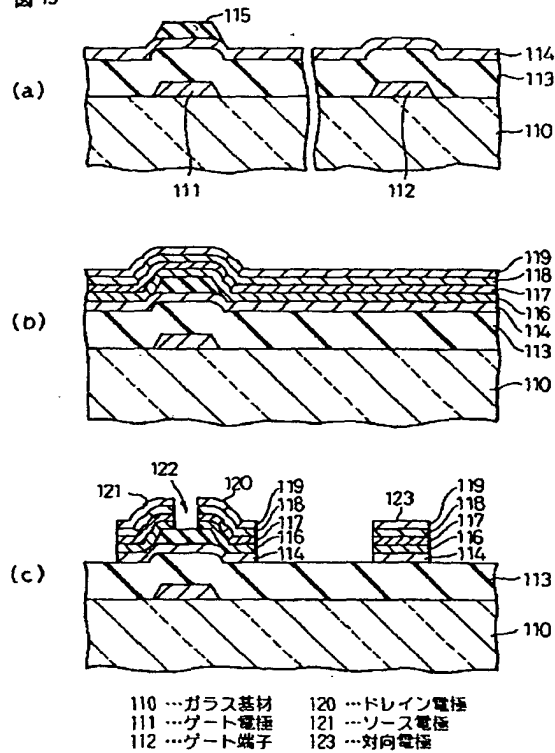
【図20】





【図 19】

図 19



フロントページの続き

(72)発明者 渡部 卓哉  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターム(参考) 2H092 GA14 JA26 JA29 JA38 JA42  
JA44 JA47 JB13 JB23 JB32  
JB33 JB51 JB57 JB63 JB69  
KA05 KA07 KA16 KA18 KB14  
KB23 MA05 MA08 MA14 MA15  
MA16 MA18 MA19 MA20 MA27  
MA35 MA37 MA41 NA25 NA27  
NA28 NA29 PA06 QA06 QA18  
5F110 AA16 CC07 DD02 EE03 EE04  
EE06 EE14 EE23 EE42 EE44  
EE50 FF02 FF03 GG02 GG15  
GG25 GG44 HK03 HK04 HK07  
HK09 HK16 HK22 HK32 HK34  
HM18 NN03 NN04 NN16 NN23  
NN24 NN27 NN35 QQ03 QQ04  
QQ09 QQ12  
5G435 AA17 BB12 EE33 GG12 KK05  
KK09